

МЕТОДИКА ОТБРАКОВКИ МОП-ТРАНЗИСТОРОВ ПО ПАРАЗИТНОМУ НЕЖЕЛАТЕЛЬНОМУ ОТКРЫВАНИЮ

А. В. ЗАВЬЯЛОВ, М. Н. ПУЩИН

Национальный исследовательский университет «МИЭТ»,
Москва, Россия. e-mail: zavjalov_andrey@mail.ru

Описан один из аспектов отбраковки мощных МОП-транзисторов. Определен механизм открывания и предложена методика отбраковки транзисторов при наличии эффекта нежелательного открывания, связанного со скоростью нарастания напряжения сток–исток при его выключении.

Ключевые слова: МОП-транзистор, емкостный ток, паразитный npn-транзистор.

Paper describes one of aspects of the testing of power MOS transistors. There is effect of parasitic undesirable turn-on MOSFET associated with rate of rise drain-source voltage when device switching-off. This parasitic undesirable turn-on may cause catastrophic failure transistor using it in pulse mode with inductive load. In the article identified mechanisms of parasitic undesirable turn-on MOSFET and suggested methodology of testing transistors in the presence of this effect on example of VNB35N07.

Key words: MOSFET, capacitive current, parasitic npn-transistor.

В последние годы широкое применение находят мощные МОП-транзисторы, имеющие ряд особенностей при входном (выходном) контроле и применении. При контроле функционирования необходимо учитывать особенности структуры транзистора, приводящие к эффекту нежелательного паразитного открывания. В [1] рассмотрена структура мощного n -канального МОП-транзистора, включающая паразитные элементы.

Возможность нежелательного открывания МОП-транзистора связана с собственной скоростью нарастания напряжения dU/dt сток–исток, при превышении которой происходит нежелательное паразитное открывание и транзистор переходит в режим проводимости; в случае, когда

ток сток–исток не ограничен, то указанные условия могут привести к разрушению структуры транзистора [2]. Существуют два возможных механизма, которые могут перевести транзистор в это нежелательное состояние.

Первый механизм связан с емкостью затвор–сток C_{GD} и конечным сопротивлением R_G в цепях обратной связи и затвора. При увеличении напряжения на стоке емкостной ток I_1 протекает через емкость C_{GD} и резистор R_G , создавая на нем падение напряжения, рассчитываемое следующим образом [1]:

$$V_{GS} = I_1 R_G = R_G C_{GD} (dV/dt).$$

Если напряжение V_{GS} превышает пороговое напряжение МОП-транзистора, то через сток–исток начинает протекать ток. Скорость нарастания напряжения для этого механизма определяется как [1]:

$$dV/dt = V_{th} / (R_G C_{GD}),$$

где V_{th} – пороговое напряжение МОП-транзистора. Очевидно, что транзисторы с меньшим пороговым напряжением наиболее подвержены открыванию емкостным током.

Второй механизм нежелательного открывания связан с наличием паразитного биполярного транзистора. Протекание емкостного тока I_2 через емкость сток–база C_{DB} создает падение напряжения на резисторе R_B . Если падение напряжения больше напряжения эмиттерного перехода, то переход база–эмиттер смещается в прямом направлении, открывая биполярный транзистор, что создает условия для протекания тока сток–исток. По аналогии с первым механизмом определяется скорость нарастания напряжения [1]:

$$dV/dt = V_{BE} / (R_B C_{DB}).$$

Для устранения эффекта нежелательного паразитного открывания необходимо выявить, какая из двух возможных причин приводит к нежелательному открыванию МОП-транзистора.

Определение механизма открывания. В приведенных выше расчетах ни одну из величин, кроме V_{th} , невозможно измерить непосредственно, поэтому для определения механизма было проведено исследование на наличие зависимости нежелательного открывания МОП-транзистора от порогового напряжения. У 20 транзисторов были измерены значения порогового напряжения, после чего транзисторы распределили на 4 группы по значению порогового напряжения. В каждой из групп было

выявлено количество годных и бракованных транзисторов. Результат представлен в табл. 1.

Т а б л и ц а 1

Результат разбраковки транзисторов

Пороговое напряжение V_{th} , В	Количество транзисторов		
	годные	бракованные	общее
$1,68 \pm 0,01$	1	1	2
$1,70 \pm 0,01$	4	2	6
$1,72 \pm 0,01$	6	0	6
$1,74 \pm 0,01$	4	2	6

При уменьшении порогового напряжения количество бракованных транзисторов не возрастает. Это отвергает механизм нежелательного открывания МОП-транзистора емкостным током обратной связи в пользу открывания паразитного *pnp*-транзистора.

В данной работе не рассмотрены способы устранения эффекта паразитного открывания МОП-транзистора, так как для отбраковки транзисторов необязательно знать механизм открывания.

Методика и стенд отбраковки. На рис. 1 приведена электрическая схема измерения параметров мощных МОП-транзисторов. Транзистор подключается к контактному разъему *X1:1* в следующей последовательности: сток – *DRAIN*, затвор – *GATE*, исток – *SOURCE*. На разъем *X2:1* подается с шагом 200 мВ напряжение, которое изменяется от минимального отпирающего до напряжения, при котором транзистор полностью открыт. На разъем *X3:1* – напряжение, близкое к максимально допустимому напряжению сток–исток МОП-транзистора. К разъему *IN* подходит импульсный сигнал с амплитудой, при которой транзистор полностью открыт. Длительность импульса должна быть достаточной, для того чтобы переходные процессы в цепи *сток–исток* установились. Буфер *U1* обеспечивает необходимый входной ток транзистора при своем открытии. Напряжение питания следует подбирать большим, чем напряжение, при котором транзистор полностью открыт. В цепь стока последовательно подсоединяется резистор, обеспечивающий нагрузку при работе транзистора. Ее номинальное значение определяется из условий конкретного применения. Последовательно в цепь затвора включается резистор для имитации выходного напряжения генератора. На разъеме *OUT* наблюдается напряжение сток–исток транзистора при его закрывании.

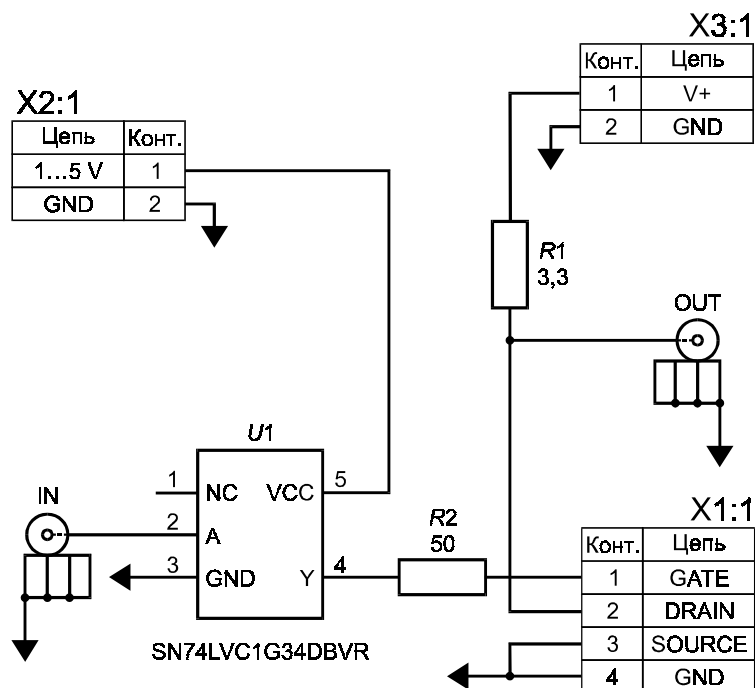


Рис. 1. Электрическая схема стенда отбраковки

Методика отбраковки проверялась на транзисторах VNB35N07, основные характеристики которых приводятся в табл. 2.

Таблица 2

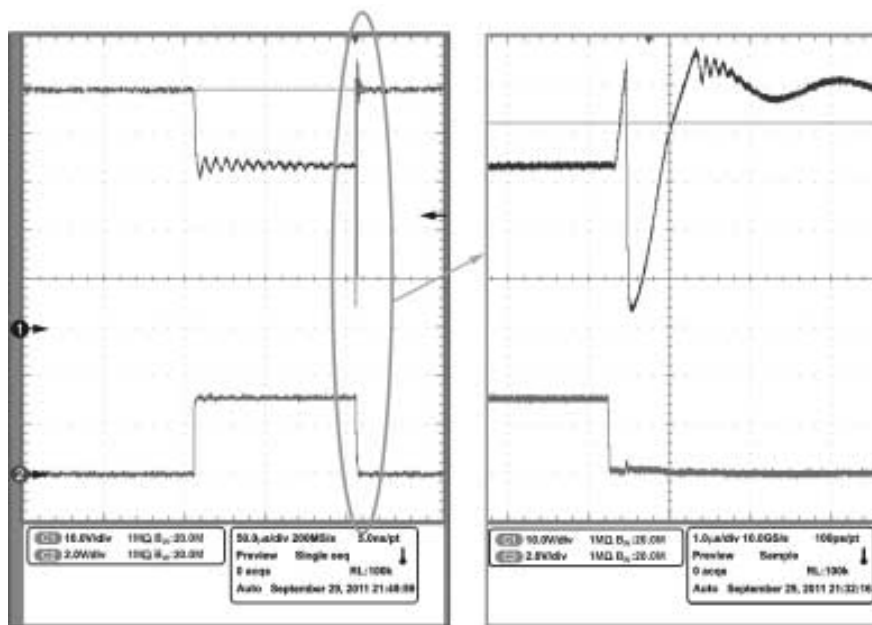
Основные характеристики VNB35N07

Параметр	Значение			Режим измерения
	минимальное	типовое	максимальное	
Напряжение ограничения сток-исток V_{CLAMP} , В	60	70	80	$I_D = 200$ мА, $V_{IN} = 0$ В
Входной ток I_{ISS} , мкА	—	250	500	$V_{DS} = 0$ В, $V_{IN} = 10$ В
Пороговое напряжение $V_{IN(th)}$, В	0,8	—	3	$V_{DS} = V_{IN}$, $I_D + I_{IN}$

При этом на разъем *X2:1* подавали варьируемое напряжение 0,8 – 5 В, в соответствии со значением $V_{IN(th)}$ с шагом 100 – 200 мВ, на разъем *X3:1* – напряжение 48 В, меньшее V_{CLAMP} . На разъем *IN* с генератора поступали импульсы амплитудой 5 В длительностью 100 мкс и частотой следования 10 Гц. Буфер *SN74LVCI634DBVR* обеспечивал необходимый входной ток I_{ISS} транзистора в момент открытия. Номинальное сопротивление резистора в цепи стока – 3,3 Ом, в цепи затвора – 50 Ом. На разьеме *OUT* наблюдалась реакция транзистора при его закрывании.

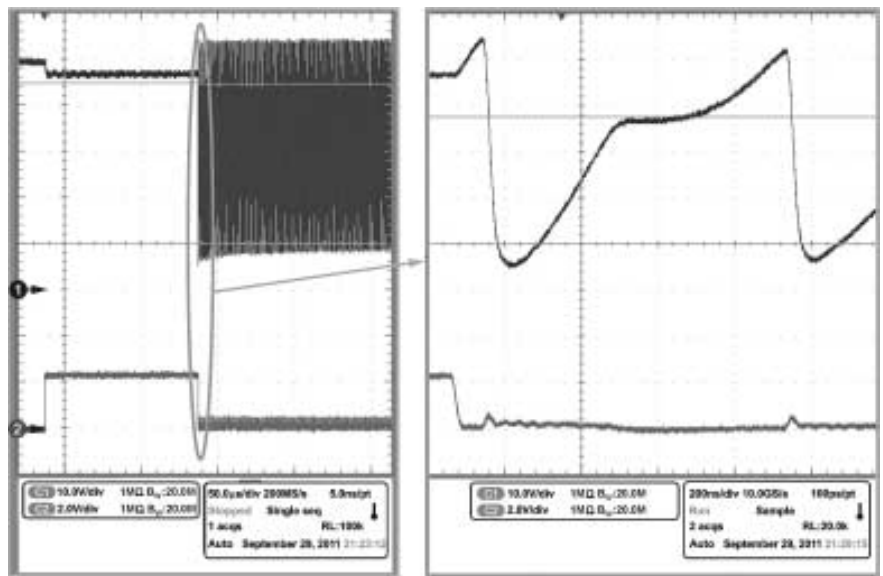
Бракованными считаются транзисторы, у которых происходит паразитное повторное открывание. На рис. 2 представлены осциллограммы выходных сигналов при наличии повторного открывания МОП-транзистора (*а*) и возбужденного транзистора (*б*). На рис. 2, *а*, *б* сигнал в верхней части осциллограммы – напряжение сток–исток, в нижней части – напряжение на затворе.

Стоит отметить, что возбуждение является следствием нежелательного паразитного открывания транзистора, а отбраковка происходит



а

(Рис. 2, *б* см. на стр. 38)



б

Рис. 2. Осциллограммы выходных сигналов при наличии повторного открывания МОП-транзистора (а) и возбужденного транзистора (б)

по первому паразитному открыванию. Наличие паразитных RLC -элементов оснастки не является причиной возбуждения транзистора и не оказывает влияния на процесс отбраковки.

Таким образом, рассмотрены причины повторного паразитного открывания и возбуждения МОП-транзистора. Приведены формулы для расчета предельной скорости нарастания напряжения dU/dt , при которой происходит нежелательное открывание транзистора. Предложен способ определения механизма этого эффекта и рассмотрена методика, позволяющая выявить бракованные транзисторы.

ЛИТЕРАТУРА

1. **Barkhordarian V.** Power MOSFET Basics. [электрон. ресурс]. <http://www.irf.com/technical-info/appnotes/mosfet.pdf> (дата обращения: 20.09.2011 г.)
2. **Pelli R. Brain.** The Do's and Don'ts of Using MOS-Gated Transistors. [электрон. ресурс]. <http://www.irf.com/technical-info/appnotes/an-936.pdf> (дата обращения: 20.09.2011 г.)

Дата принятия 18.06.2012 г.